

Les PLD

Exercice N°1

1. Quels sont les avantages et les inconvénients des circuits logiques programmables ?
2. Préciser la différence entre un PAL et un PLA.
3. Préciser la différence entre un ASIC et un ASSP.
4. Préciser la différence entre un LCA et un FPGA.

Exercice N°2

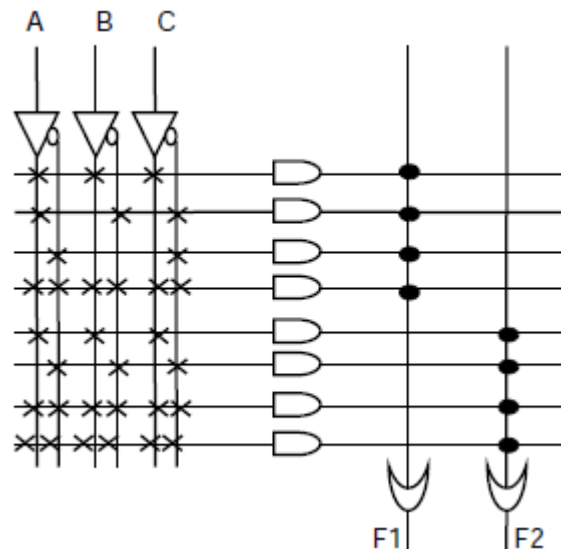
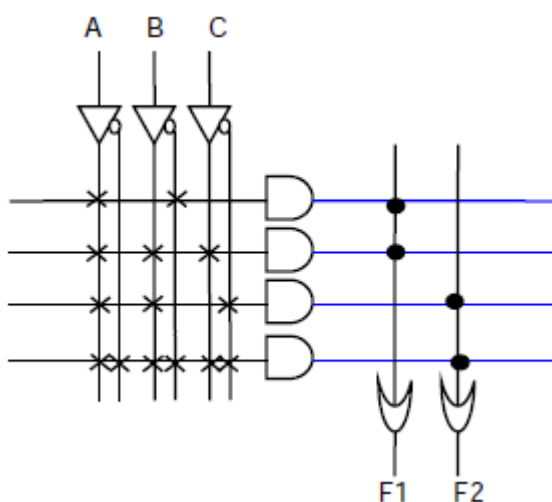
Cocher les expressions correctes :

- ☐ Les ASIC et les ASSP sont basés sur les mêmes processus de conception et technologies de fabrication.
- ☐ Un PLD est un dispositif qui peut être configuré par le constructeur pour réaliser une fonction logique quelconque.
- ☐ La structure d'un PAL est constituée d'une matrice ET programmable suivie d'une matrice OU fixe.
- ☐ Les GAL sont des PAL effaçables électriquement.
- ☐ Les CPLD sont composés par des GAL élémentaires.
- ☐ Le bloc de sortie des PAL versatiles permet de configurer (par programmation) le mode d'utilisation de la broche de sortie.
- ☐ La Look Up Table (LUT) permet de configurer les blocs d'entrée/sortie.

Exercice N°3

Pour chacun des circuits programmables représentés ci-dessous,

1. Préciser le type.
2. Déterminer les équations des sorties F1 et F2.



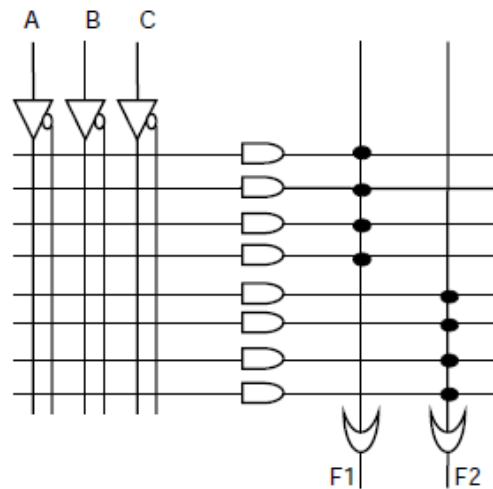
Exercice N°4

Soit le PAL ci-contre :

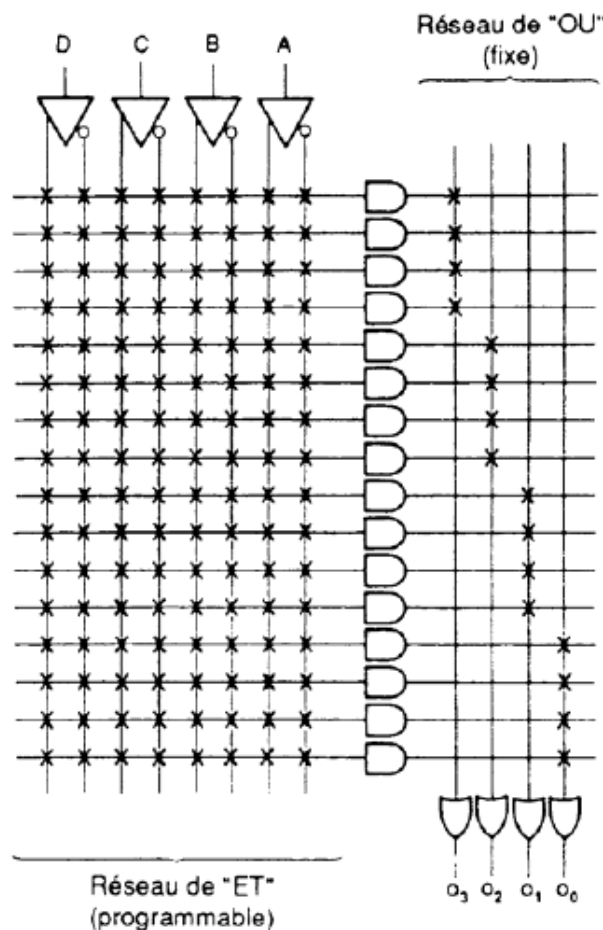
1. Préciser les caractéristiques de ce PAL.
2. Implémenter à l'aide de ce circuit les fonction logiques suivantes :

$$F_1(A, B, C) = ABC + A\bar{B}\bar{C} + \bar{A}\bar{C}$$

$$F_2(A, B, C) = ABC + \bar{A}\bar{B}\bar{C}$$

**Exercice N°5**

Soit le réseau logique programmable représenté ci-dessous :



1. Quelles les caractéristiques des fonctions que l'on peut réaliser avec ce PAL ?
2. On désire implémenter, à l'aide de ce circuit un convertisseur code DCB \rightarrow code Gray 4 entrées. Sachant qu'une croix représente un fusible non-claqué, encrer les croix nécessaires (fusibles à bruler) afin de réaliser les fonctions souhaitées.

Exercice N°6

1. Réaliser un additionneur complet avec un PAL.
2. Réaliser un multiplexeur 4 vers 1 avec un PAL.
3. Réaliser un démultiplexeur 1 vers 4 avec un PAL.
4. Réaliser avec un PAL, un comparateur de nombres binaires de deux bits chacun.

Exercice N°7

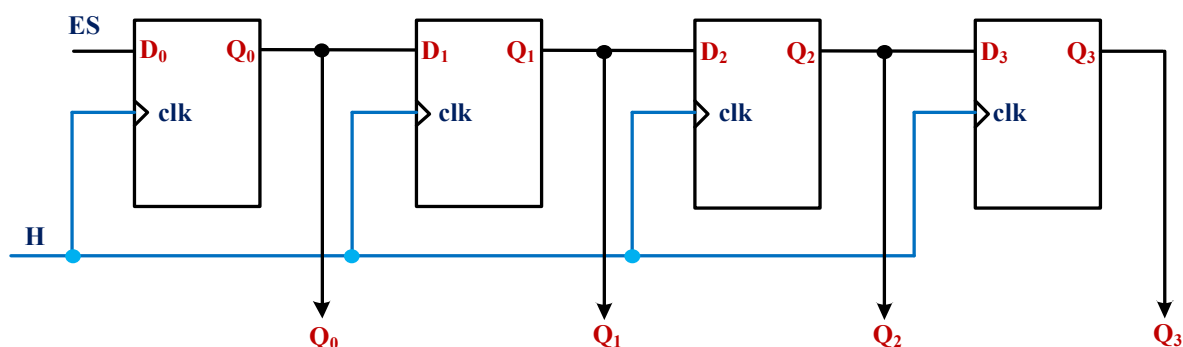
Soit le compteur synchrone donné par la table de vérité suivante :

Avant l'impulsion d'horloge						Après l'impulsion d'horloge		
Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀	Q ₂	Q ₁	Q ₀
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

1. Préciser le type de ce compteur.
2. Réaliser ce compteur à base de FPAL (PAL à registre).

Exercice N°8

Soit le registre donné par le circuit ci-dessous :



1. Préciser le type de ce registre.
2. Réaliser ce registre à base de FPAL (PAL à registre).