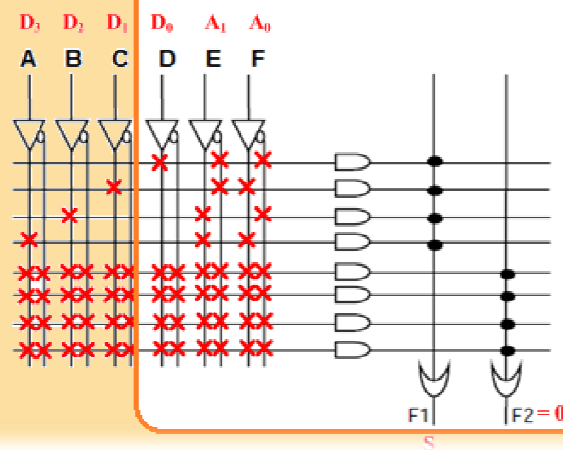


Corrigé du TD5

es cette équation il faut utiliser un PAL à six entrées et une sorties et quatre
bits par sortie.



Exercice N°1**1. Avantages et les inconvénients des circuits logiques programmables :**

➤ Avantages :

- un seul circuit peut remplacer à lui seul plusieurs circuits logiques de bases.
- le câblage est simplifié, l'encombrement et le risque de pannes est réduit.
- les composants sont de faible coût
- la fonction est modifiable par programmation
- certains PLD assurent la confidentialité du programme.

➤ Inconvénients :

- la phase de programmation exige des logiciels et du matériel compatibles avec le composant à programmer.
- la phase de programmation exige des compétences supplémentaires.
- certains PLD ne sont programmables qu'une seule fois, ce qui peut être gênant en phase de développement.

2. Différence entre un PAL et un PLA :

- Le PAL est constitué d'une matrice ET programmable suivie d'une matrice OU fixe.
- Le PLA est constitué d'une matrice ET suivie d'une matrice OU, les deux matrices sont programmables.

3. Différence entre un ASIC et un ASSP :

Les ASIC et les ASSP sont basés sur les mêmes processus de conception et technologies de fabrication. Les deux sont également conçus pour une application spécifique, mais :

- les ASIC sont destinés à une compagnie spécifique.
- les ASSP sont vendus à de multiples clients.

4. Différence entre un LCA et un FPGA :

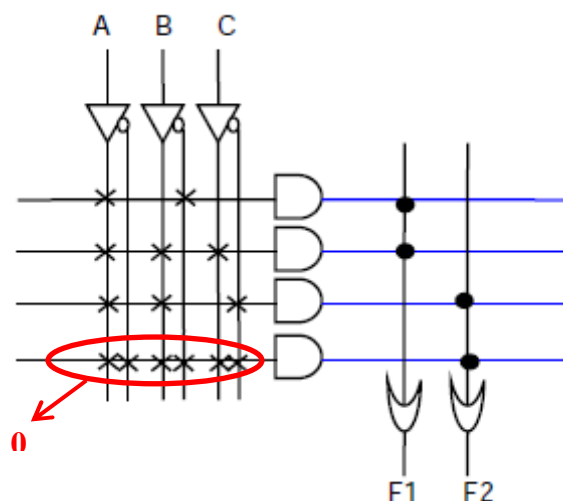
- Les LCA sont composés de blocs logiques élémentaires de que l'utilisateur peut interconnecter.
- Les FPGA sont identiques aux LCA sauf qu'ils permettent une plus grande intégration de portes.

Exercice N°2

Les expressions cochées correctes :

- ☒ Les ASIC et les ASSP sont basés sur les mêmes processus de conception et technologies de fabrication.

- ☐ Un PLD est un dispositif qui peut être configuré par le constructeur pour réaliser une fonction logique quelconque.
- ☒ La structure d'un PAL est constituée d'une matrice ET programmable suivie d'une matrice OU fixe
- ☒ Les GAL sont des PAL effaçables électriquement.
- ☐ Les CPLD sont composés par des GAL élémentaires.
- ☒ Le bloc de sortie des PAL versatiles permet de configurer (par programmation) le mode d'utilisation de la broche de sortie.
- ☐ La Look Up Table (LUT) permet de configurer les blocs d'entrée/sortie.

Exercice N°3

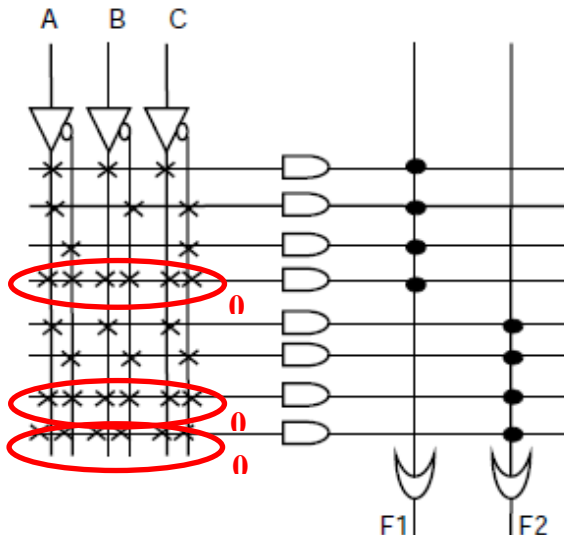
Type : C'est un **PAL** à trois entrées et deux sorties et deux termes produits (porte AND) par sortie.

Equations des sorties :

$$F_1 = A\bar{B} + ABC$$

$$F_2 = ABC + 0 = ABC$$

$$\Rightarrow F_2 = ABC$$



Type : C'est un **PAL** à trois entrées et deux sorties et quatre termes produits (porte AND) par sortie.

Equations des sorties :

$$F_1 = ABC + A\bar{B}\bar{C} + \bar{A}\bar{C} + 0$$

$$\Rightarrow F_1 = ABC + A\bar{B}\bar{C} + \bar{A}\bar{C}$$

$$F_2 = ABC + \bar{A}\bar{B}\bar{C} + 0 + 0$$

$$\Rightarrow F_2 = ABC + \bar{A}\bar{B}\bar{C}$$

Exercice N°4**1. Caractéristiques de ce PAL :**

C'est un **PAL** à trois entrées et deux sorties et quatre termes produits par sortie.

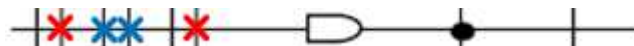
2. Implémentation des fonctions logiques suivantes :

- $F_1(A, B, C) = ABC + A\bar{B}\bar{C} + \bar{A}\bar{C}$

- Le troisième terme de cette fonction ($\bar{A}\bar{C}$) lui manque la variable **B** qui ne doit pas être connectée :

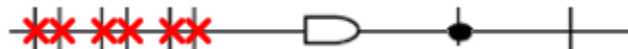


Si on effectue la connexion de la façon ci-dessous on obtient :



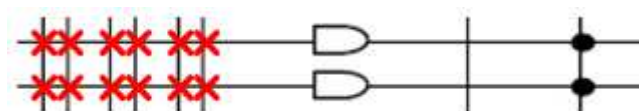
$\bar{A}B\bar{B}\bar{C} = 0$, le terme devient nul donc cette représentation est incorrecte.

- La fonction F1 possède uniquement trois termes alors que le PAL utilisé a quatre termes produits par sortie, le quatrième terme de la fonction est donc égal à 0. On le programme de la manière suivante :

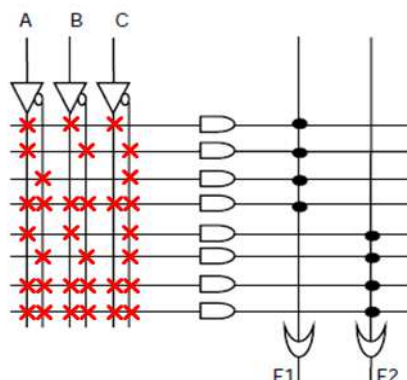


- $F_2(A, B, C) = AB\bar{C} + \bar{A}\bar{B}\bar{C}$

Cette fonction possède uniquement deux termes, les deux autres sont donc nuls, on les programme comme suite :



On obtient finalement le PAL programmé par les fonctions données ci-dessus



Exercice N°5

1. Avec ce PAL on peut réaliser des fonctions logiques à quatre variables d'entrées et quatre termes produits.
2. Réalisation d'un convertisseur DCB \rightarrow code Gray 4 entrées.
 - Table de vérité :

A	B	C	D	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1

- Equations des sorties

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	0	0	0
	11	-	-	-	-
	10	1	1	-	-

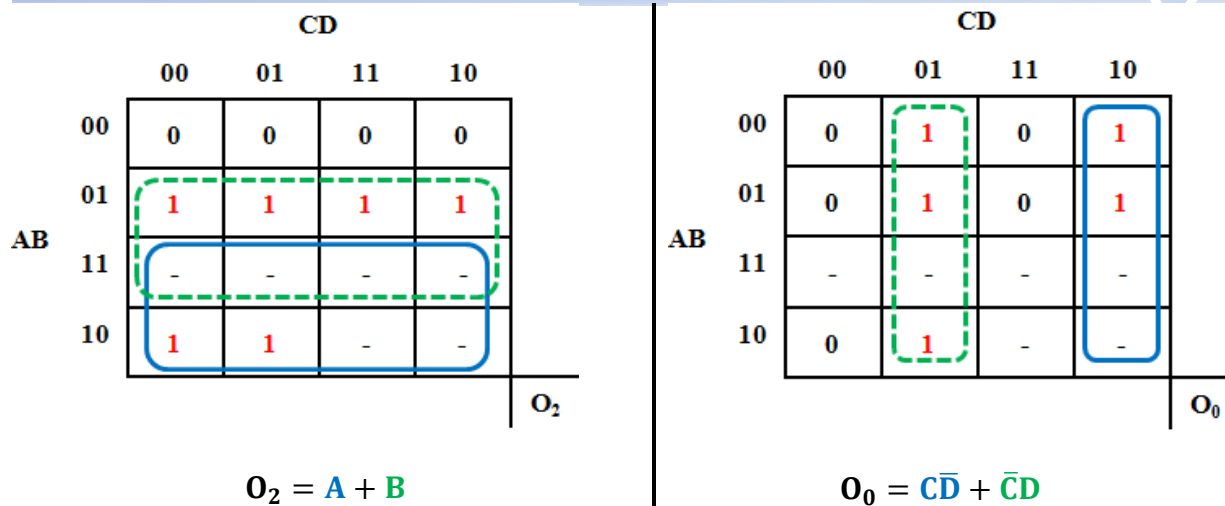
O_3

$O_3 = A$

		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	1	1	0	0
	11	-	-	-	-
	10	0	0	-	-

O_1

$O_1 = \overline{B}C + B\overline{C}$



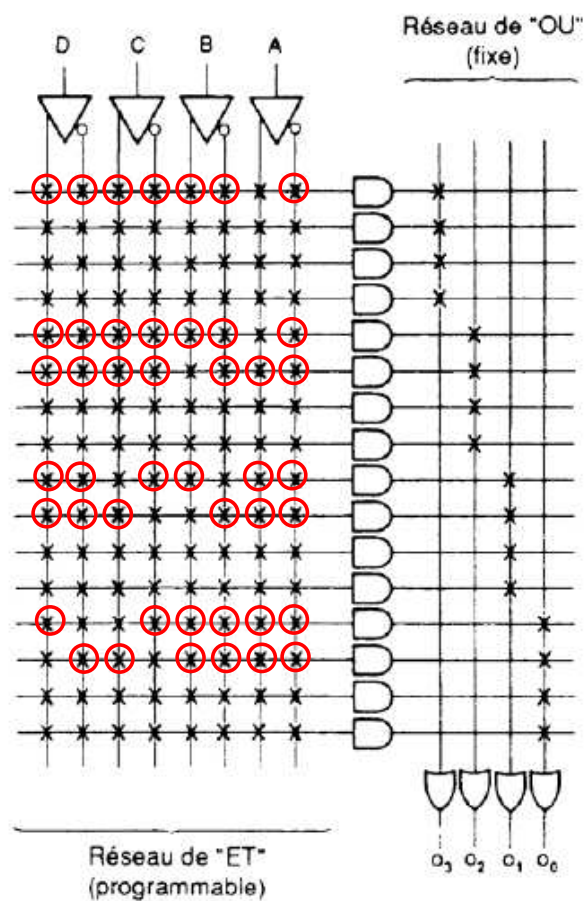
- Implémentation du convertisseur :

$$O_0 = C\bar{D} + \bar{C}D + 0 + 0$$

$$O_1 = \bar{B}C + B\bar{C} + 0 + 0$$

$$O_2 = A + B + 0 + 0$$

$$O_3 = A + 0 + 0 + 0$$



Exercice N°6

1. Réalisation d'un additionneur complet avec un PAL.

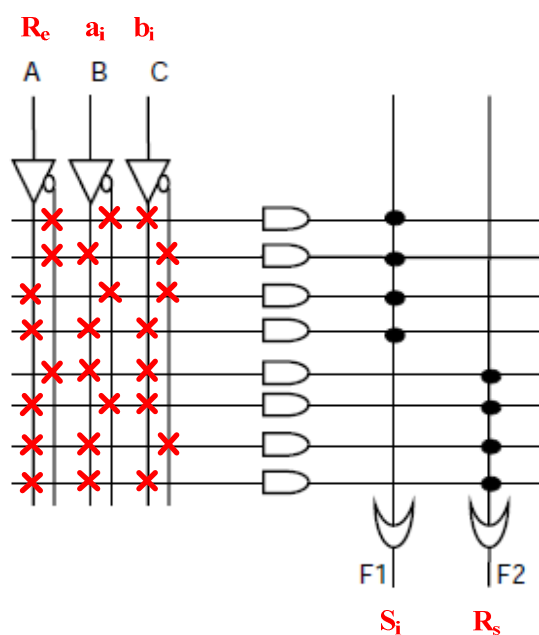


L'étude de ce circuit conduit aux équations suivantes :

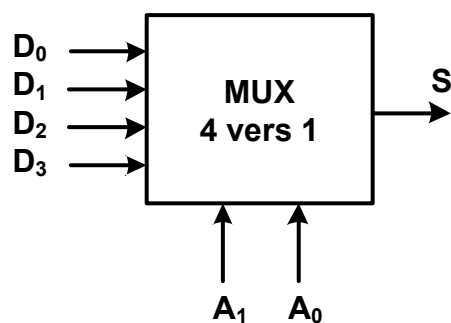
$$S_i = \bar{R}_e \bar{a}_i b_i + \bar{R}_e a_i \bar{b}_i + R_e \bar{a}_i \bar{b}_i + R_e a_i b_i$$

$$R_s = \bar{R}_e a_i b_i + R_e \bar{a}_i b_i + R_e a_i \bar{b}_i + R_e a_i b_i$$

On utilise un PAL à trois entrées et deux sorties et quatre termes produits par sortie.



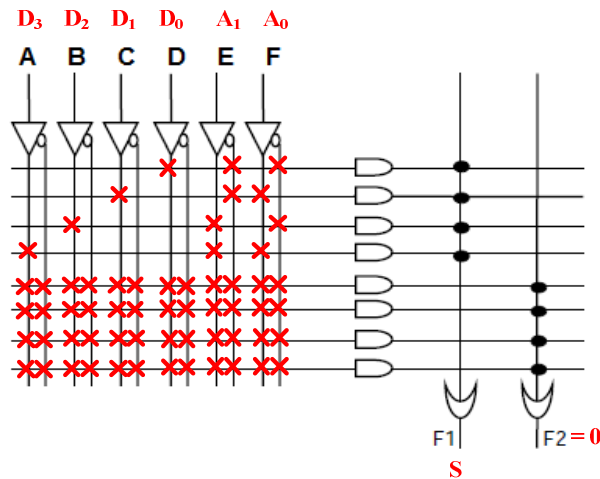
2. Réalisation d'un multiplexeur 4 vers 1 avec un PAL.



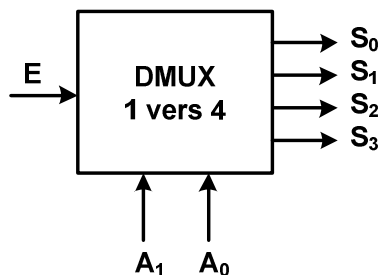
L'étude de ce circuit conduit à l'équation suivante :

$$S = D_0 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_1 A_0 + D_2 A_1 \bar{A}_0 + D_3 A_1 A_0$$

D'après cette équation il faut utiliser un PAL à six entrées et une sorties et quatre termes produits par sortie.



3. Réalisation d'un démultiplexeur 1 vers 4 avec un PAL.

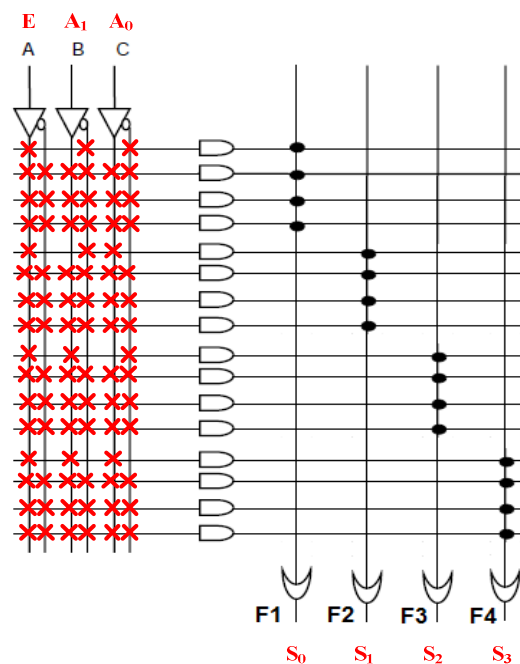


L'étude de ce circuit conduit aux équations suivantes :

$$S_0 = E \bar{A}_1 \bar{A}_0 \quad ; \quad S_1 = E \bar{A}_1 A_0$$

$$S_2 = E A_1 \bar{A}_0 \quad ; \quad S_3 = E A_1 A_0$$

Le PAL utilisé est à trois entrées, quatre sorties et 4 termes produits par sortie.



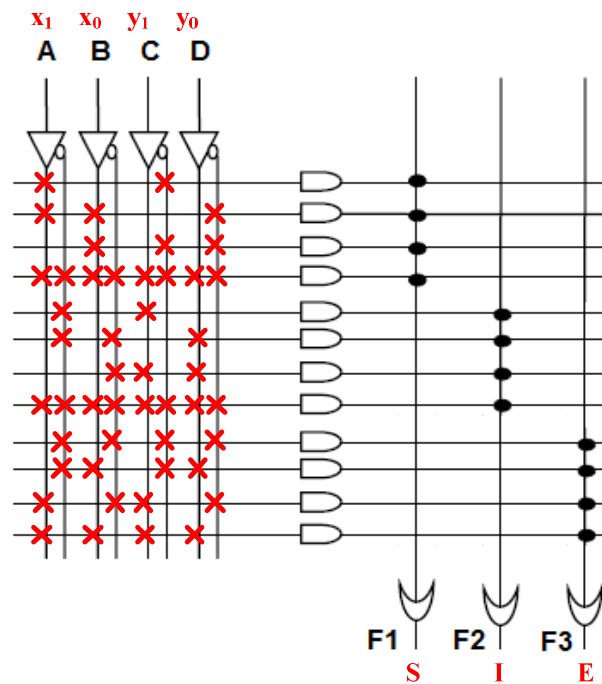
4. Réalisation avec un PAL d'un comparateur de nombres binaires de deux bits chacun :

L'étude de ce circuit donne les équations suivantes :

$$S = x_1 \bar{y}_1 + x_1 x_0 \bar{y}_0 + x_0 \bar{y}_1 \bar{y}_0$$

$$I = \bar{x}_1 y_1 + \bar{x}_1 \bar{x}_0 y_0 + \bar{x}_0 y_1 y_0$$

$$E = \bar{x}_1 \bar{x}_0 \bar{y}_1 \bar{y}_0 + \bar{x}_1 x_0 \bar{y}_1 y_0 + x_1 \bar{x}_0 y_1 \bar{y}_0 + x_1 x_0 y_1 y_0$$

**Exercice N°7**

1. La table de vérité donnée correspond à un compteur synchrone modulo 8 à base de bascules D.
2. Réalisation du compteur à base de FPAL (PAL à registre).

De la table de vérité on déduit les équations des entrées **D₀**, **D₁** et **D₂** :

		Q ₁ Q ₀			
		00	01	11	10
Q ₂	0	0	0	1	0
	1	1	1	0	1

D₂

$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0$$

		Q ₁ Q ₀			
		00	01	11	10
Q ₂	0	0	1	0	1
	1	0	1	0	1

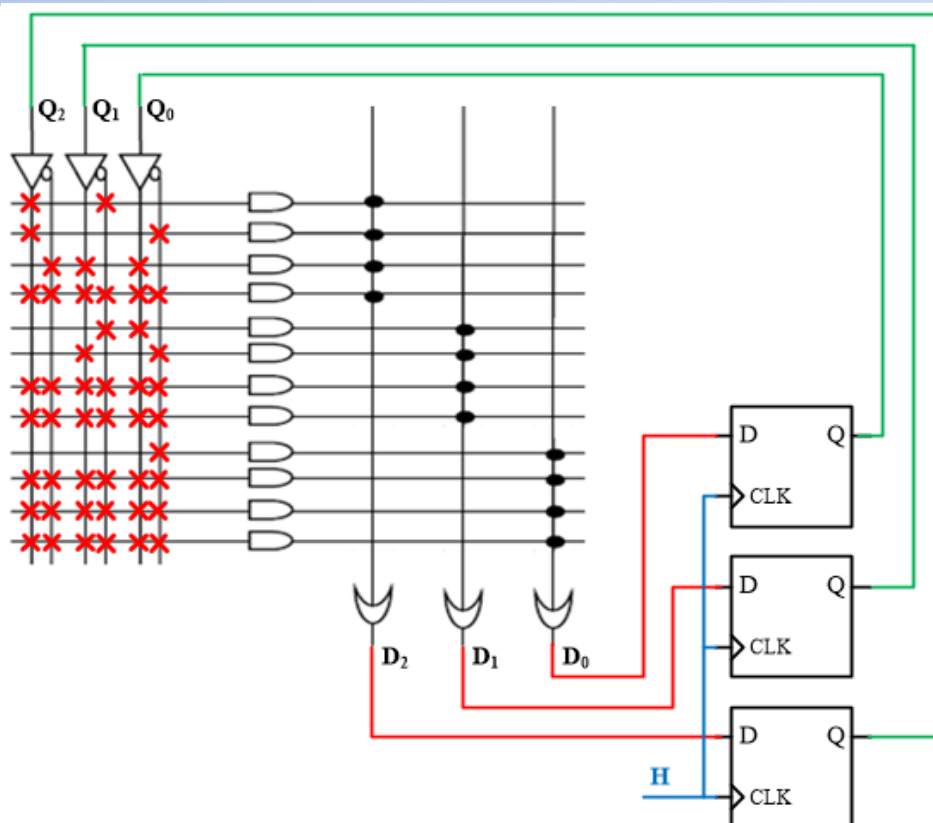
D₁

$$D_1 = \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0$$

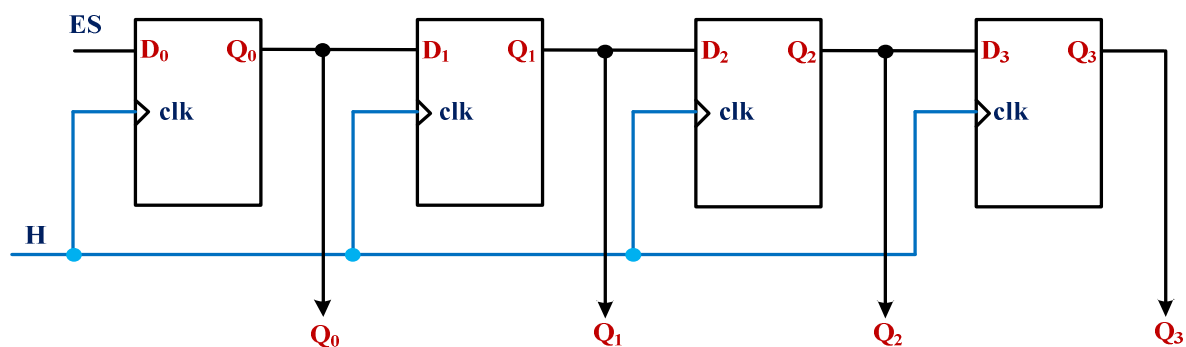
et directement sans tableau de Karnaugh :

D'où le schéma simplifié de réalisation :

1



Exercice N°8



1. Il s'agit d'un registre à décalage à droite entrée série / sortie parallèle.
2. Réalisation du registre à base de FPAL (PAL à registre).

D'après le circuit donné, les équations des entrées des bascules D sont :

$$D_0 = \text{ES}$$

$$D_1 = Q_0$$

$$D_2 = Q_1$$

$$D_3 = Q_2$$

D'où le schéma simplifié de réalisation :

