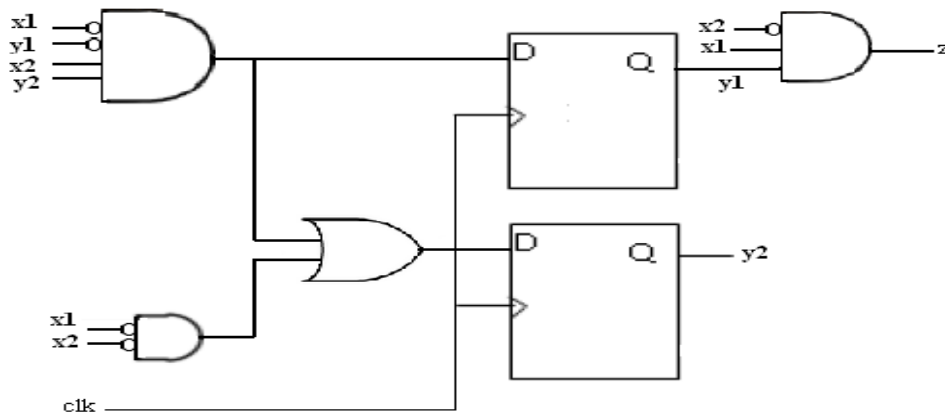


## TD 1 : Synthèse des systèmes séquentiels

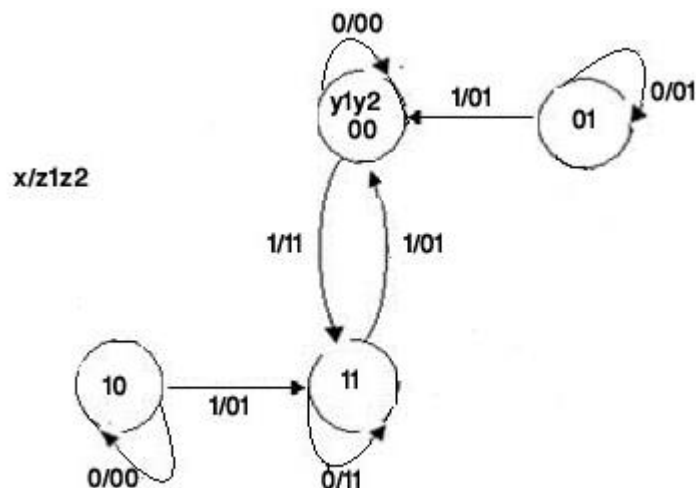
### Exercice 1 :

Analyser la machine séquentielle de la figure suivante. Indiquer si c'est une machine de Mealy ou de Moore, trouver sa table d'états et son graphe des états.



### Exercice 2 :

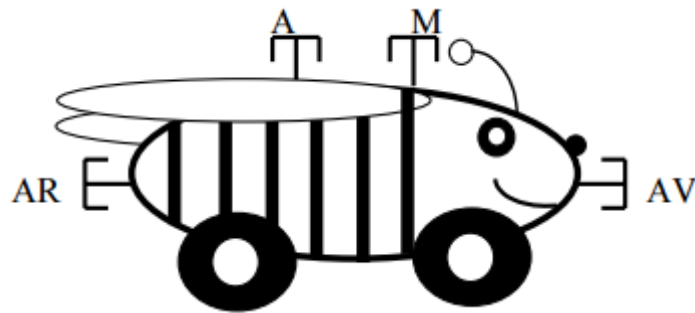
Supposez une machine séquentielle décrite par le graphe d'états de la figure ci-dessous. Indiquez si c'est une machine de Mealy ou de Moore, trouvez sa table d'états et les équations qui décrivent sa réalisation matérielle.



### Exercice 3 :

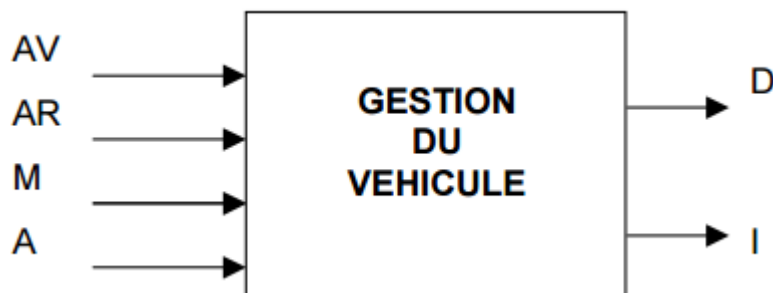
**Système : Abeille Baladeuse (D'après une idée de Louis Reynier, enseignant en BTS SE au Lycée Cabanis)**

Une abeille-jouet à roulettes pour enfants se présente sous la forme suivante :



### Descriptif du système :

L'abeille fonctionne à pile. Un moteur à courant continu entraîne les roues de l'abeille. Une commande par relais permet d'inverser le sens de rotation du moteur par inversion de la polarité. L'abeille est équipée d'un capteur à l'avant (Capteur AV) et d'un capteur à l'arrière (Capteur AR). Ces capteurs sont en fait de simples boutons poussoirs. L'appareil est équipé de 2 boutons poussoirs sur le dos de l'abeille : un bouton poussoir qui met l'abeille en marche (Bouton poussoir M) et un qui permet de l'arrêter (Bouton poussoir A). La gestion du véhicule est assurée par un système séquentiel synchrone embarqué dans le véhicule.



### **Variables d'entrée :**

- AV : Bouton poussoir Avant : à 1 si un obstacle est présent
- AR : Bouton poussoir Arrière : à 1 si un obstacle est présent
- M : Bouton poussoir Marche : à 1 si le Bouton poussoir est appuyé.
- A : Bouton poussoir Arrêter : à 1 si le Bouton poussoir est appuyé.

### **Variables de sortie :**

- D : Commande du moteur dans le sens direct (à 1 en marche avant)
- I : Commande du moteur dans le sens inverse (à 1 en marche arrière)

*Nota :* Véhicule arrêté D=0 et I = 0

### **Descriptif du fonctionnement :**

Le fonctionnement de l'abeille est le suivant : Dès que l'utilisateur appuie sur M ( $M=1$ ), l'abeille se met en marche avant. ( $D=1$ ). Dès qu'un obstacle est détecté à l'avant ( $AV=1$ ), l'abeille recule ( $I=1$ ) jusqu'à ce qu'un obstacle soit détecté à l'arrière ( $AR=1$ ). Le cycle continu jusqu'à ce que l'utilisateur appuie sur A ( $A=1$ ), le moteur s'arrête ( $D=0$ ,  $I=0$ ). *Remarque :* Quand le véhicule recule, un dispositif mécanique met les roues en position de tourner, ce qui permet au véhicule de ne jamais rester sur le même parcours.

### **Travail demandé :**

- 1) Définir les différents états de fonctionnement
- 2) Tracer le graphe d'états correspondant
- 3) Dresser la matrice primitive correspondante
- 4) Trouver la matrice réduite
- 5) En utilisant les techniques simplificatrices de Karnaugh, trouver les équations logiques correspondantes aux variables secondaires et aux sorties.
- 6) A l'aide des portes logiques, proposer le schéma électrique équivalent.

## *TD 2 : Synthèse des compteurs synchrones et asynchrones*

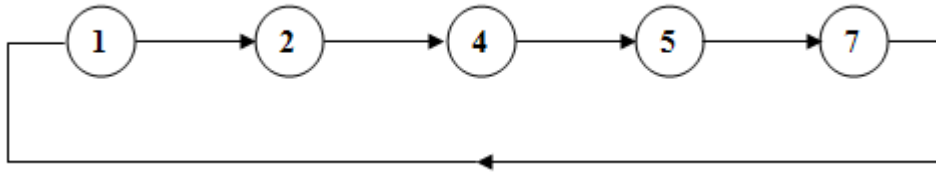
### **Exercice 1 :**

Réaliser un compteur binaire asynchrone modulo 12 avec des bascules D.

- 1/ Quel est le nombre de bascules à utiliser ?
- 2/ Quelle valeur en sortie doit provoquer la RAZ des sorties ?
- 3/ Etablir le schéma du compteur.
- 4/ Etablir la table de vérité et les chronogrammes de fonctionnement associés.

### **Exercice 2 :**

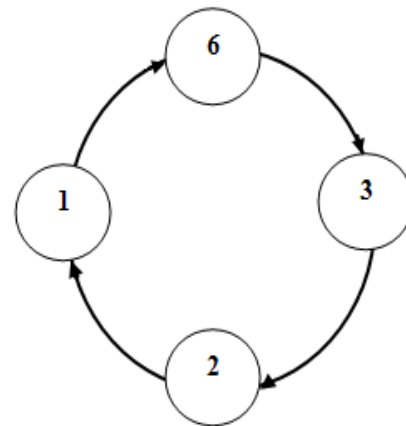
On désire réaliser un compteur **asynchrone** à base de bascules JK (front montant) qui réalise la séquence suivante :



- 1/ Tracer les chronogrammes des sorties des bascules réalisant le cycle ci-dessus sachant qu'à  $t=0$ ,  $Q_2 = Q_1 = 0$  et  $Q_0 = 1$ .
- 2/ En déduire les signaux d'horloge des bascules.
- 3/ Donner et justifier le schéma de câblage de ce compteur.

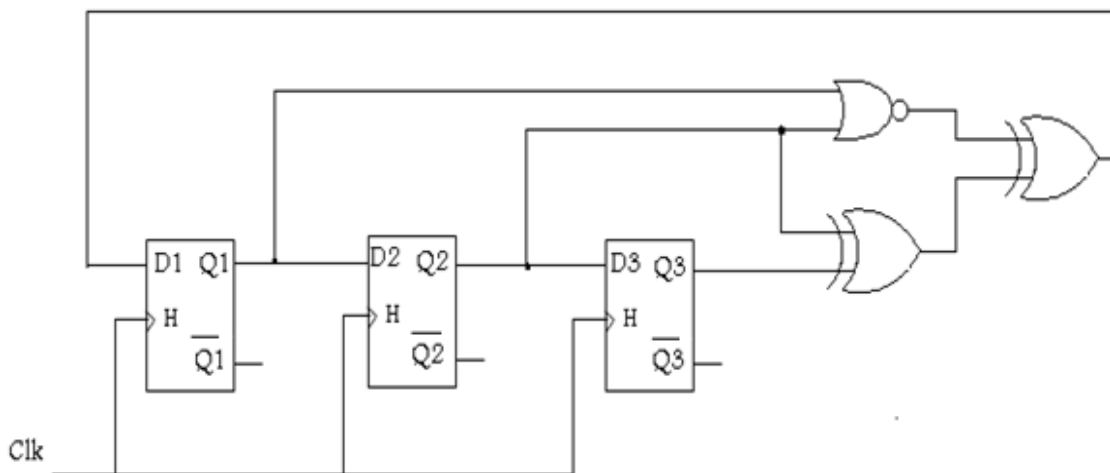
**Exercice 3:**

Développer un compteur binaire synchrone permettant de produire la séquence irrégulière illustré au diagramme d'états suivant, en utilisant des bascules JK.



**Exercice 4 :**

On considère le montage suivant :



- 1/ Quel est le type de ce compteur ?
- 2/ Analyser le fonctionnement de ce compteur et en déduire son diagramme de transition.
- 3/ Tracer le chronogramme des sorties des bascules pour 8 périodes du signal d'horloge, sachant qu'à  $t=0$ ,  $Q_i = 0$ .

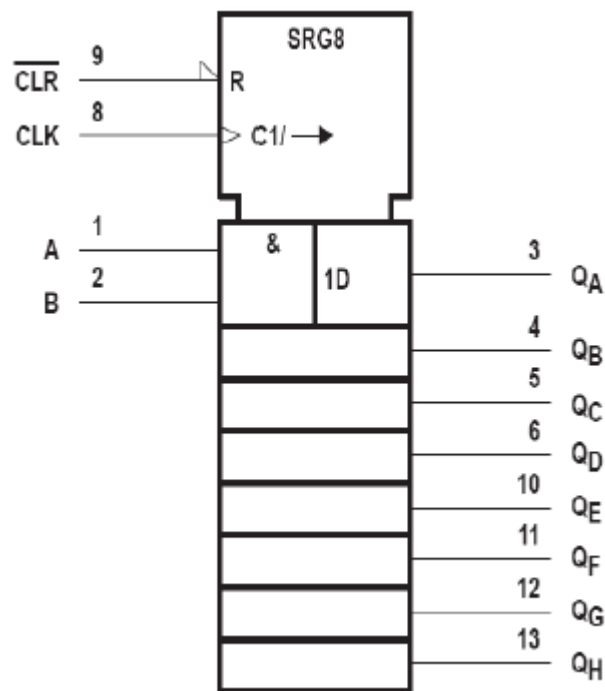
## TD 3 : Synthèse des Registres

### Exercice 1 :

- 1) Donner les différents types de registres étudiés
- 2) Donner un schéma de registre à décalage avec des bascules JK
- 3) Donner le schéma d'un registre 3 bits programmable, à écriture et lecture en série par décalage à droite ou à gauche, circulaire ou non. Prévoir deux entrées de programmation P1 et P2, et donner le code de programmation choisi. Utiliser des bascules D synchrones à front montant.

### Exercice 2 :

#### 1)74HC164:



FUNCTION TABLE

INPUTS				OUTPUTS		
$\overline{\text{CLR}}$	CLK	A	B	Q <sub>A</sub>	Q <sub>B</sub> ... Q <sub>H</sub>	
L	X	X	X	L	L	L
H	L	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>H0</sub>
H	↑	H	H	H	Q <sub>An</sub>	Q <sub>Gn</sub>
H	↑	L	X	L	Q <sub>An</sub>	Q <sub>Gn</sub>
H	↑	X	L	L	Q <sub>An</sub>	Q <sub>Gn</sub>

Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>H0</sub> = the level of Q<sub>A</sub>, Q<sub>B</sub>, or Q<sub>H</sub>, respectively, before the indicated steady-state input conditions were established

Q<sub>An</sub>, Q<sub>Gn</sub> = the level of Q<sub>A</sub> or Q<sub>G</sub> before the most recent ↑ transition of CLK: indicates a 1-bit shift

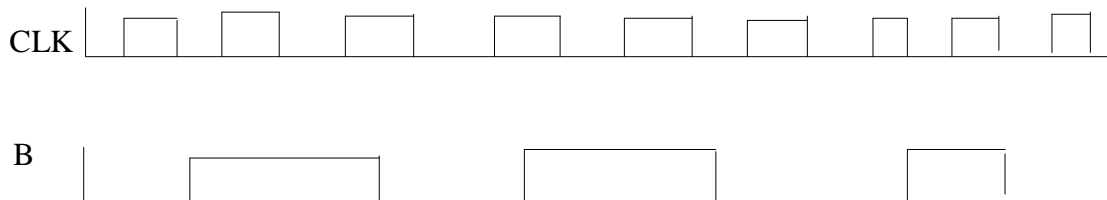
D'après cette table devérité:

- quel est le rôle de l'entrée  $\overline{\text{CLR}}$ ?
- Que signifie la flèche montante dans la colonne de CLK ? Comment agissent les entrées A et B dans le fonctionnement?

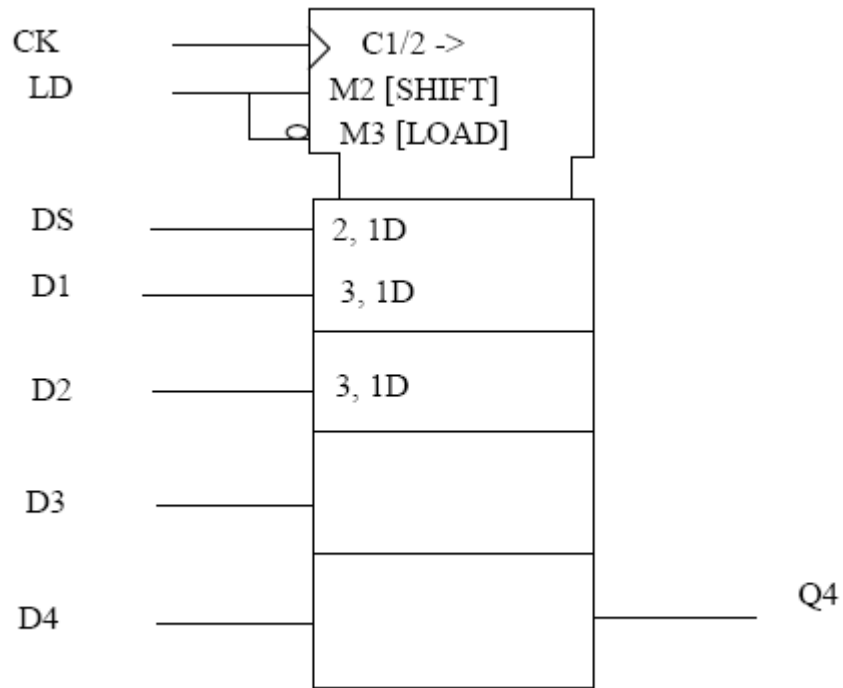
On câble:  $\overline{\text{CLR}}$  à H et A à H

Les sorties Q<sub>A</sub> à Q<sub>H</sub> sont à 0(L)

Tracer l'évolution des signaux Q<sub>A</sub> à Q<sub>H</sub> si CLK et B évoluent de la manière suivante:



2) 74HC166 simplifié:



Le registre est constitué de 4 bascules D mais seule la sortie de la quatrième est accessible.

Table de vérité:

<b>LD</b>	<b>CK</b>	<b>Q1(interne)</b>	<b>Q2(interne)</b>	<b>Q3(interne)</b>	<b>Q4</b>
L	Frontmontant	D1	D2	D3	D4
H	Frontmontant	DS	Q1	Q2	Q3

2.1) Expliquer:

C1/2->

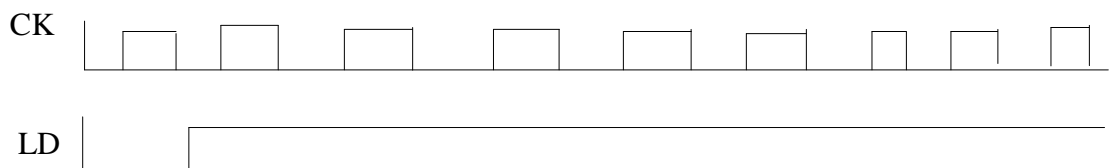
M2 et M3

2,1D

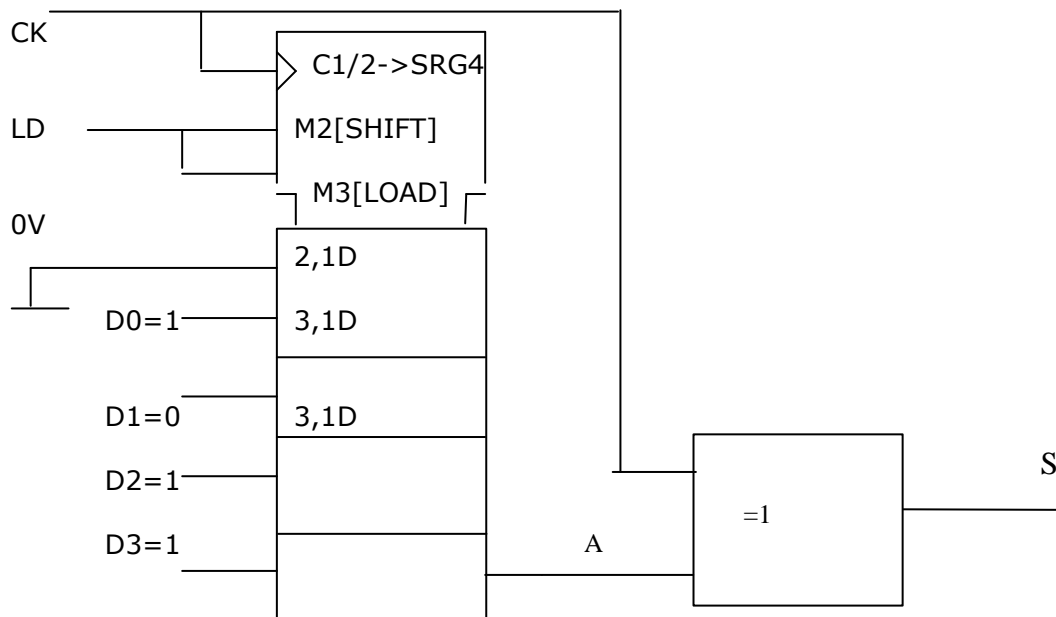
3,1D

2.2) On câble: DS=0, D1 = 1, D2 = 1, D3 = 0, D4 = 1

Tracer Q4 (et Q1 à Q3, internes, si nécessaire) si Q1 à Q4 sont à 0 lorsque la séquence suivante est réalisée en entrée:

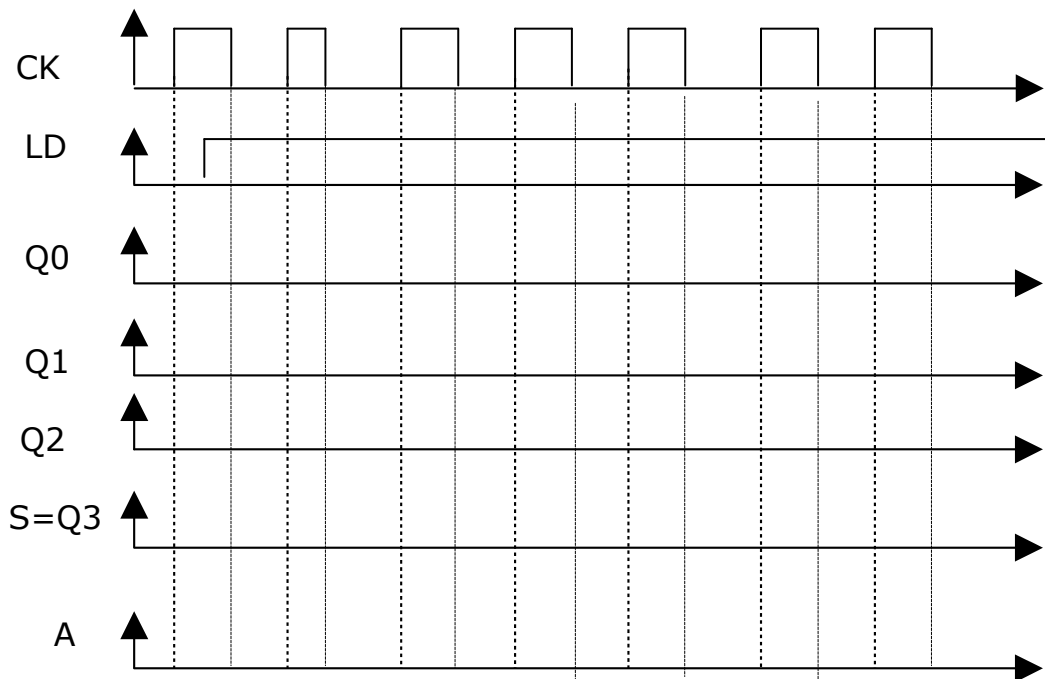


3) Utilisation pour le codage et le décodage des données:



Tracer A, Q0, Q1, Q2 et Q3, les sorties internes (non disponibles sur les broches du circuit) des bascules, et de la sortie S, sachant que D0=1, D1=0, D2=1, D3=1.

Vérifier que le circuit réalise bien le codage Manchester.



Le OU EXCLUSIF permet d'obtenir:

Pour A=0

$S = CK$

Pour A=1

$S = \overline{CK}$



## TD 4 : Les mémoires

### Exercice1 :

On considère une mémoire EPROM type 27C256 de 32K octets.

- 1) Déterminer la largeur du bus de donnée et le nombre de bits du bus d'adresse.
- 2) Calculer le nombre de zones et les adresses de début et fin des zones dans les cas suivants :
  - $A_{14} = 1$
  - $A_{13} = 0$
  - $A_{12} = 0$  et  $A_{10} = 1$

### Exercice 2 :

On souhaite constituer un bloc mémoire de 5K octets à partir de blocs élémentaires plus petits de 2K et 1K. Réaliser un schéma de la fonction Choix dans le cas où le bloc commence à l'adresse 0000H.

### Exercice 3 :

Nous voulons réaliser une interface mémoire avec un bus de données 8 bits (D7-D0) et un bus d'adresse 16 bits (A15-A0) avec un microprocesseur. Ce microprocesseur gère un signal /WR pour écrire et /RD pour lire. Donner les équations de sélection pour :

- une ROM 8K pour une adresse commençant à 2000H
- une ROM 4K pour une adresse commençant à 8000H
- une ROM 2K pour une adresse commençant juste après celle de 8k.

Donner les mêmes équations de sélection si on admet la possibilité de voir plusieurs fois le même boîtier dans l'espace mémoire.