

TD : Circuits numériques

TD1

Les bascules

Exercice N°1

Compléter la table de fonctionnement relative à chacune des bascules ci-dessous. En déduire la table simplifiée de chaque bascule.

1. Bascule JK

J	K	$Q_{(n)}$	$Q_{(n+1)}$	Transition
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

	J	K
ϵ		
δ		
μ_0		
μ_1		

2. Bascule D

D	$Q_{(n)}$	$Q_{(n+1)}$	Transition
0	0		
0	1		
1	0		
1	1		

	D
ϵ	
δ	
μ_0	
μ_1	

3. Bascule T

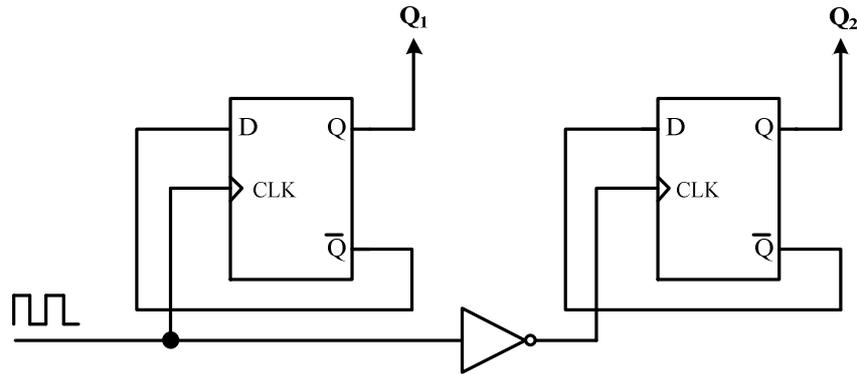
T	$Q_{(n)}$	$Q_{(n+1)}$	Transition
0	0		
0	1		
1	0		
1	1		

	T
ϵ	
δ	
μ_0	
μ_1	

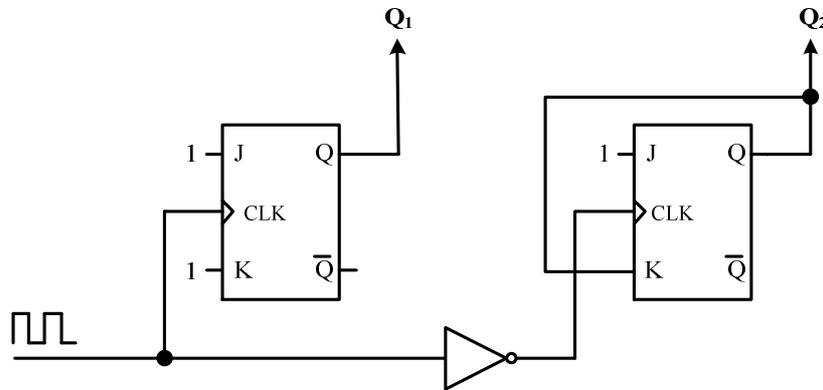
Exercice N°2

1. Pour les deux montages ci-après, tracer les chronogrammes des sorties Q_1 et Q_2 pour un signal d'horloge de 1 Hz. Q_1 et Q_2 sont nuls à $t=0$. Conclure.
2. Quelles sont les fréquences de Q_1 et Q_2 .
3. Quel est le déphasage entre Q_1 et Q_2 .

- Circuit 1



- Circuit 2



Exercice N°3

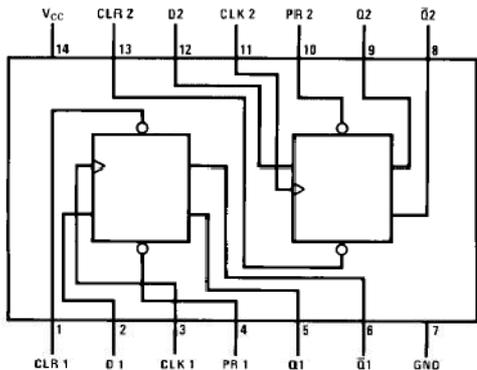
Etudier la fiche technique du circuit intégré DM7474M donnée ci-dessous puis faire un câblage permettant de réaliser un compteur asynchrone modulo 4.

Ordering Code:

Order Number	Package Number	Package Description
DM7474M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
DM7474N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
				(Note 1)	(Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	Q̄ ₀

H = HIGH Logic Level
 X = Either LOW or HIGH Logic Level
 L = LOW Logic Level
 ↑ = Positive-going transition of the clock.
 Q₀ = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.